

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-092658

(43)Date of publication of application : 04.04.1997

(51)Int.Cl.

H01L 21/331
H01L 29/73
H01L 21/8228
H01L 27/082

(21)Application number : 07-242172

(71)Applicant : NEC CORP

(22)Date of filing : 20.09.1995

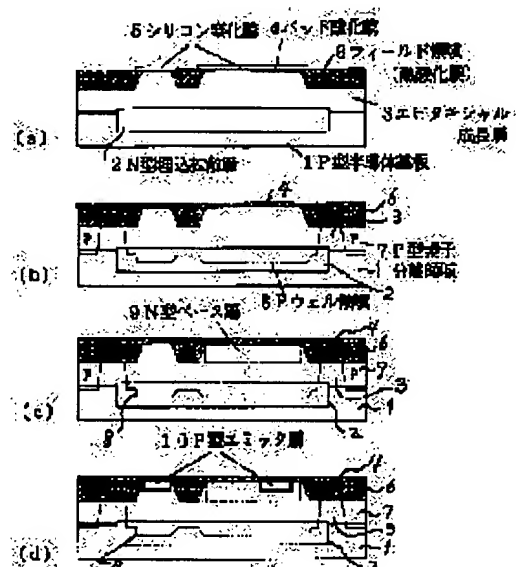
(72)Inventor : OKAMOTO TETSUMASA

(54) SEMICONDUCTOR DEVICE, AND MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a vertical PNP transistor at low cost with good electric characteristics.

SOLUTION: A p-type semiconductor substrate 1 has an n-type buried diffusion region 2 that is formed thereon concurrently with an n-type collector region of an NPN transistor. In addition, an ion implanting step is carried out to form a p-type buried diffusion layer 8 as a p-type collector region in the diffusion layer 2. In this case, a p-type element separation region 7 is formed at the same time. In a conventional manufacturing method for a PNP transistor, formation steps of an n-type buried phosphorus diffusion layer, a p-type buried boron diffusion layer and an n-type base phosphorus layer should be added to a base NPN transistor forming step. As compared with the conventional case, only the formation step for an n-type base phosphorus layer is added, and the manufacturing cost is reduced drastically, and an index of TAT in manufacturing is also reduced.



LEGAL STATUS

[Date of request for examination] 20.09.1995

[Date of sending the examiner's decision of rejection] 17.10.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-92658

(43) 公開日 平成9年(1997)4月4日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/331		H 0 1 L	29/72
	29/73			27/08
	21/8228			1 0 1 C
	27/082			

審査請求 有 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平7-242172

(22) 出願日 平成7年(1995)9月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 岡本 哲昌

東京都港区芝五丁目7番1号 日本電気株式会社内

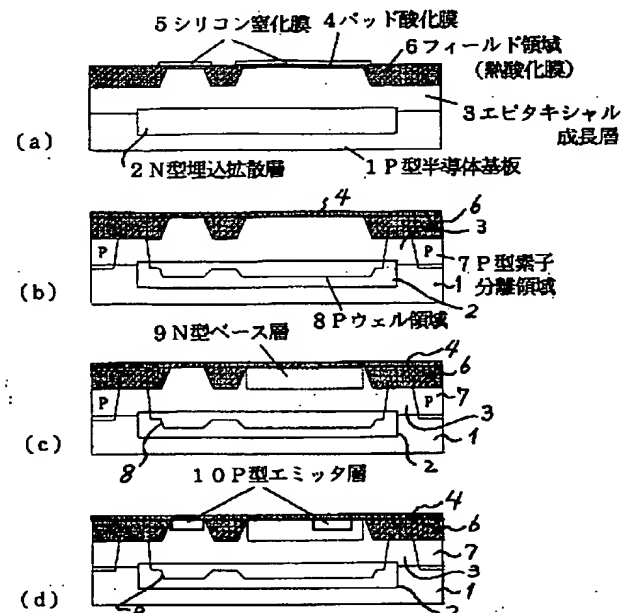
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 PNPトランジスタとNPNトランジスタとを同一半導体基板上に形成する半導体装置において、低コストで電気的特性の優れた縦型PNPトランジスタ装置を製造する。

【解決手段】 P型半導体基板1上にNPNトランジスタのN型コレクタ領域と同時に形成したN型埋込拡散層2を有し、さらにその拡散層2中にイオン注入によりP型埋込拡散層8を形成してP型コレクタ領域とすると同時にP型素子分離領域7をも同時に形成する。このため、従来のPNPトランジスタを形成するためにNPNトランジスタの基本製造工程にN型埋込リン拡散層形成工程、P型埋込ボロン拡散層形成工程及びN型ベースリン層形成工程の追加が必要だったのに比べ、本発明では、N型ベースリン層の形成工程の追加のみで製造可能なため、大幅なコスト削減と製造T A Tの削減が実現可能である。



【特許請求の範囲】

【請求項1】 導電型が異なるトランジスタの組を同一の半導体基板上に有する半導体装置であって、導電型が異なる一方のトランジスタのコレクタ領域の一部を重合させて、前記コレクタ領域とは異なる導電型のウェル領域を形成し、導電型が異なる他方のトランジスタのコレクタ領域、ベース領域及びエミッタ領域は、前記ウェル領域に形成したものであることを特徴とする半導体装置。

【請求項2】 導電型が異なるトランジスタの組を同一の半導体基板上に有する半導体装置であって、導電型が異なる一方のトランジスタが形成される第1のウェル領域内に、第1のウェル領域とは異なる導電型をもつ第2のウェル領域を形成し、導電型が異なる他方のトランジスタのコレクタ領域、ベース領域及びエミッタ領域は、前記第1のウェル領域内に形成したものであることを特徴とする半導体装置。

【請求項3】 コレクタ領域形成工程と、ベース領域形成工程と、エミッタ領域形成工程とを有し、導電型の異なるトランジスタの組を同一の半導体基板上に形成する半導体装置の製造方法であって、コレクタ領域形成工程は、導電型が異なる一方のトランジスタのコレクタ領域に、前記コレクタ領域とは導電型が異なるウェル領域をイオン注入により形成し、コレクタ領域をウェル領域との接合領域に、導電型が異なる他方のトランジスタのコレクタ領域を形成する処理であり、ベース領域形成工程は、前記導電型が異なる一方のトランジスタのコレクタ領域と重合する前記ウェル領域に導電型が異なる他方のトランジスタのベース領域を形成する処理であり、エミッタ領域形成工程は、前記ベース領域内に導電型が異なる他方のトランジスタのエミッタ領域を形成する処理であることを特徴とする半導体装置の製造方法。

【請求項4】 コレクタ領域形成工程と、ベース領域形成工程と、エミッタ領域形成工程とを有し、導電型が異なるトランジスタの組を同一の半導体基板上に形成する半導体装置の製造方法であって、コレクタ領域形成工程は、導電型が異なる一方のトランジスタが形成される第1のウェル領域内に、第1のウェル領域とは導電型が異なる第2のウェル領域をイオン注入により形成し、第2のウェル領域の一部に導電型が異なる他方のトランジスタのコレクタ領域を形成する処理であり、ベース領域形成工程は、前記コレクタ領域を除く第2のウェル領域に導電型が異なる他方のトランジスタのベース領域を形成する処理であり、エミッタ領域形成工程は、前記ベース領域内に導電型が異なる他方のトランジスタのエミッタ領域を形成する処理であることを特徴とする半導体装置の製造方法。

【請求項5】 前記第2のウェル領域は、第1のウェル領域に対して数 μm の接合深さを有することを特徴とする請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に関し、特に低コストで電気的特性に優れた縦型PNPトランジスタ装置とその製造方法に関する。

【0002】

10 【従来の技術】従来の縦型PNPトランジスタの製造工程を図5及び図6に示す。図5(a)に示すようにP型半導体基板10表面に熱酸化により数百オングストローム(\AA)のシリコン酸化膜を形成した後、フォトリソグラフィ技術を用いてパターニングされたフォトレジストをマスクとしてイオン注入によりN型不純物であるリン(P)を導入し、十数時間の熱処理を行うことによりN型埋込拡散層17を形成し、さらに同様にして前記N型埋込拡散層17の上部にP型不純物であるボロン(B)を導入したP型埋込拡散層16を形成する。続いて前記シリコン酸化膜を除去した後、半導体基板1の全面に低濃度のN型エピタキシャル成長層3を形成する。続いてPN素子分離領域及びP型コレクタ引出し領域の形成のためにフォトリソグラフィ技術により形成したレジストパターンをマスクとしてP型不純物のボロンをイオン注入した後、熱処理を行うことによりP型素子分離領域7とP型コレクタ引出し領域18を形成する。

20 【0003】次に図5(b)に示すように、半導体基板1の一部を選択酸化法を用いシリコン窒化膜5をマスクとして熱酸化を行い、フィールド領域(熱酸化膜)6を形成する。

30 【0004】次に図5(c)に示すようにレジストパターンをマスクとしてN型不純物をイオン注入してN型ベース層9を、フィールド領域6に囲まれたエピタキシャル成長層3に形成する。

【0005】同様に図5(d)に示すようにレジストパターンをマスクとしてP型不純物をイオン注入により導入したP型エミッタ層10をN型ベース層9及びP型コレクタ引出し領域18に形成する。以上によりPNPのすべての領域が形成される。

40 【0006】次に図6(e)に示すようにN型ベース層9との低コンタクト抵抗接続を可能とするために、半導体基板1の表面のパッド酸化膜4の一部を除去して開口部(コンタクト)を形成した後、半導体基板1の全面に化学気相成長(CVD)法を用い多結晶シリコン11を堆積する。続いて多結晶シリコン11にN型不純物である砒素をイオン注入した後、パターニングされたフォトレジストをマスクとして所定領域に前記多結晶シリコン11を残し、それ以外を除去する。

50 【0007】続いて図6(f)に示すように層間膜12として化学気相成長法により不純物を含まない酸化膜及

3

びボロンとリンの不純物を含む酸化膜(BPSG膜)を順次堆積した後、非酸化性雰囲気中で熱処理を行うことにより、前記BPSG膜のリフローと多結晶シリコンからの不純物拡散によるN⁺ベース拡散層13を多結晶シリコン11下部のN型ベース層9内に形成する。続いて、ベース、コレクタ及びエミッタ領域の一部の層間膜12をドライエッチにより除去し、それぞれメタル配線と接続するための開口部を形成する。

【0008】最後に図6(g)に示すように開口部上部にアルミ系のメタル配線14をそれぞれ形成することにより、従来の縦型PNPトランジスタを完成させていた。

【0009】また別の従来例が特開昭61-248560号公報に開示されている。この従来例は、N型ベース領域を使用していなかったものに、図5及び図6に示した前記従来例と同様にN型ベース領域を適用し、加えてN型ベース領域のベース幅を制御する目的でN型ベースの濃度分布のテール部にP型不純物を選択的に導入して不純物層を形成していた。

【0010】

【発明が解決しようとする課題】従来の図示した縦型PNPトランジスタは、NPNトランジスタと同時に形成されるため、将来開発が予定される超高速NPNトランジスタの開発におけるN型エピタキシャル成長層の薄膜化(2.0μm以下)の要求に対しては、従来のようにP型埋込拡散層16をN型エピタキシャル成長層3の形成前に形成する方法では、エピタキシャル成長層3の形成時及びそれ以降に行われる熱処理に伴い、前記P型埋込拡散層16中の不純物であるボロンがエピタキシャル成長層3中へ外方拡散し、N型ベース層9にまで達するようになるため、対応に限界が生じる。もし、そのまま適用すればコレクタ～ベース間の結合要領(C_{CB})の増加及びアーリー電圧、コレクタ～エミッタ間の降伏電圧(BV_{CEO})等の低下といった電気的特性を悪化させるという問題を生じる。

【0011】これは、特開昭61-248560号に開示された従来例でも同様に生じる問題であり、P型不純物層でベース幅を制御するまでもなく、前記P型埋込拡散層16の外方拡散によりベース幅は影響を受けてしまい、制御できなくなる。

【0012】さらに従来の縦型PNPトランジスタを形成するには、NPNトランジスタの基本構造工程に前述の従来例で述べたようにN型埋込拡散層17の形成工程、P型埋込拡散層16の形成工程及びN型ベース層9の形成工程を追加する必要がある、大幅なコスト高となるばかりでなく、その使用に対しコスト・パフォーマンス上である種の制限を受けていた。

【0013】また特開昭61-248560号に開示された従来例では、N型ベース層のベース幅を制御するためのP型不純物層の形成工程をも追加する必要がある、

4

さらにコスト高となってしまう。

【0014】また従来の縦型PNPトランジスタでは、熱処理に伴うP型埋込拡散層16の再分布(横拡がり)及び十分に低抵抗なP型埋込拡散層16を得るために、下地のN型埋込拡散層17は、表面濃度を低くし、再生PNPトランジスタの動作を抑制するため接合深さも極力深めに形成しており、図5(a)に示すP型コレクタ引出し領域18及びP型素子分離領域7間の距離Xがかなり大きくなり、素子サイズは現在のNPNトランジスタに比べて約6倍とかなり大きくなり、高集積度が望めないという問題点があった。

【0015】本発明の目的は、低コストで電気的特性に優れた半導体装置及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体装置は、導電型が異なるトランジスタの組を同一の半導体基板上に有する半導体装置であって、導電型が異なる一方のトランジスタのコレクタ領域に一部を重合させて、前記コレクタ領域とは異なる導電型のウェル領域を形成し、導電型が異なる他方のトランジスタのコレクタ領域、ベース領域及びエミッタ領域は、前記ウェル領域に形成したものである。

【0017】また、本発明に係る半導体装置は、導電型が異なるトランジスタの組を同一の半導体基板上に有する半導体装置であって、導電型が異なる一方のトランジスタが形成される第1のウェル領域内に、第1のウェル領域とは異なる導電型をもつ第2のウェル領域を形成し、導電型が異なる他方のトランジスタのコレクタ領域、ベース領域及びエミッタ領域は、前記第1のウェル領域内に形成したものである。

【0018】また本発明に係る半導体装置の製造方法は、コレクタ領域形成工程と、ベース領域形成工程と、エミッタ領域形成工程とを有し、導電型の異なるトランジスタの組を同一の半導体基板上に形成する半導体装置の製造方法であって、コレクタ領域形成工程は、導電型が異なる一方のトランジスタのコレクタ領域に、前記コレクタ領域とは導電型が異なるウェル領域をイオン注入により形成し、コレクタ領域をウェル領域との接合領域に、導電型が異なる他方のトランジスタのコレクタ領域を形成する処理であり、ベース領域形成工程は、前記導電型が異なる一方のトランジスタのコレクタ領域と重合する前記ウェル領域に導電型が異なる他方のトランジスタのベース領域を形成する処理であり、エミッタ領域形成工程は、前記ベース領域内に導電型が異なる他方のトランジスタのエミッタ領域を形成する処理である。

【0019】また本発明に係る半導体装置の製造方法は、コレクタ領域形成工程と、ベース領域形成工程と、エミッタ領域形成工程とを有し、導電型が異なるトランジスタの組を同一の半導体基板上に形成する半導体装置

5

の製造方法であって、コレクタ領域形成工程は、導電型が異なる一方のトランジスタが形成される第1のウェル領域内に、第1のウェル領域とは導電型が異なる第2のウェル領域をイオン注入により形成し、第2のウェル領域の一部に導電型が異なる他方のトランジスタのコレクタ領域を形成する処理であり、ベース領域形成工程は、前記コレクタ領域を除く第2のウェル領域に導電型が異なる他方のトランジスタのベース領域を形成する処理であり、エミッタ領域形成工程は、前記ベース領域内に導電型が異なる他方のトランジスタのエミッタ領域を形成する処理である。

【0020】また前記第2のウェル領域は、第1のウェル領域に対して数 μm の接合深さを有するものである。

【0021】導電型が異なるトランジスタの組を同一の半導体基板上に形成するに当っては、トランジスタのコレクタ領域、ベース領域及びエミッタ領域を形成する領域を、エピタキシャル成長層とは独立させ、或いはエピタキシャル成長層を設けずに形成することとなる。そのため、将来の開発において要求されるエピタキシャル層の薄膜化に十分対応できる。

【0022】

【発明の実施の形態】以下、本発明を図により説明する。

【0023】（実施形態1）図1及び図2は、本発明の実施形態1を製造工程順に示す断面図である。

【0024】図1（a）に示すように、まずP型半導体基板1の表面に数百オングストローム（Å）のパッド酸化膜を熱酸化により形成した後、NPNトランジスタの埋込ヒ素拡散層（コレクタ領域）と同時形成によりコレクタ領域としてのN型埋込拡散層2を形成する。続いて、前記パッド酸化膜を除去した後、公知のエピタキシャル成長技術を用い、低不純物濃度のN⁻型エピタキシャル成長層3を半導体基板1の全面に形成する。続いて、再度熱酸化によりパッド酸化膜4をエピタキシャル成長層3の全面に形成した後、化学気相成長によりパッド酸化膜4の全面に0.1~0.2ミクロン（ μm ）のシリコン窒化膜5を堆積する。続いて、公知のフォトリソグラフィ技術により形成したフォトレジストパターンをマスクとして、ドライエッチング技術により所定領域にシリコン窒化膜5を残し、それ以外の前記窒化膜を除去する。続いて、フォトレジストを除去後、シリコン窒化膜5をマスクとして選択酸化を行い、フィールド領域（熱酸化膜）6をエピタキシャル成長層3に形成する。

【0025】ここまでの工程でNPNトランジスタの埋込ヒ素拡散層を縦型PNPトランジスタのN型埋込拡散層2として用いることにより、従来のPNPトランジスタの埋込リン拡散層の形成工程を削減している。PNPトランジスタの埋込リン拡散層の形成工程を削減可能な理由について説明する。

【0026】本発明では、N⁻型エピタキシャル成長層

6

3の形成後に後述するようにN型埋込拡散層（NPNトランジスタの埋込ヒ素拡散層）2の上部（濃度プロファイルのテール部）にPウェル領域8としてのP型埋込ボロン拡散層を高エネルギーイオン注入により形成するため、埋込ボロン拡散層8への埋込ヒ素拡散層2の影響を小さくすることができ、イオン注入条件にもよるが、低抵抗の埋込ボロン拡散層8を形成することができる。

【0027】図5に示すように従来のN型埋込拡散層17上にP型埋込拡散層16を形成した後、N⁻型エピタキシャル成長層3を形成する方法では、もし仮りにN型埋込拡散層17にNPNトランジスタの埋込ヒ素拡散層を用いると、それぞれN型、P型埋込拡散層の高濃度不純物が相殺し合ってP型埋込拡散層16を低抵抗化（コレクタ抵抗の低減化）することができなくなる。このため、従来の縦型PNPトランジスタの場合、N型埋込拡散層17にP型埋込拡散層16に極力影響を与えないように表面濃度を低くした埋込リン拡散層が用いられている。

【0028】さらに今後、開発のトレンドであるNPNトランジスタの超高速化（エピタキシャル成長層が2.0 μm 以下と薄膜化される）に対し、従来の方法では、P型埋込拡散層16中の不純物であるボロンがエピタキシャル成長層3の形成時及びそれ以降に行われる熱処理によりエピタキシャル成長層3中へ外方拡散し、N型のベース層9にまで達するようになり、N型ベース層9のベース幅等に悪影響を与えてしまい、満足な電気的特性をもつ縦型PNPトランジスタを形成することが困難となる。

【0029】本発明では、トータル熱処理の80%に相当するエピタキシャル成長層3の形成及びフィールド領域6の形成後に高エネルギーイオン注入によりP型埋込拡散層8を形成するため、不純物の再分布を抑えることができ、超高速NPNトランジスタの開発に伴うエピタキシャル成長層3の薄膜化にも十分対応することが可能である。

【0030】次に図1（b）に示すように、フォトリソグラフィ技術により形成したフォトレジストパターンをマスクとして高エネルギーイオン注入を数回繰り返し、Pウェル領域（図5のP型埋込拡散層16に相当する）8を形成するとともに同時にP型素子分離領域7を形成する。これにより、従来別々の工程であったPウェル領域8の形成工程とP型素子分離領域7の形成工程を統一することが可能となり、Pウェル領域形成工程を削減することができる。

【0031】これ以降の製造工程は、従来例とほとんど同一である。すなわち図1（c）に示すように、フォトレジストをマスクとしてN型不純物をイオン注入し、N型ベース層（ベース領域）9をPウェル領域8の表層に形成する。

【0032】次に図1（d）に示すように、前記フォト

7

レジストを除去後、新たにフォトレジストをマスクとしてイオン注入によりP型不純物を導入することにより、NPNトランジスタのベース抵抗削減及びコンタクト抵抗削減のための外部ベース層の形成と同時に、縦型PNPトランジスタのP型エミッタ層（エミッタ領域）10をN型ベース層9及びそれ以外のPウェル領域8の表層に形成する。以上により、縦型PNPトランジスタのP型コレクタ領域、N型ベース領域及びP型エミッタ領域のすべてが形成される。

【0033】次に図2（e）に示すようにN型ベース層9との低コンタクト抵抗接続を可能とするために、半導体基板1の表面のパッド酸化膜4の一部を除去して開口部（コンタクト）を形成した後、パッド酸化膜4の全面に化学気相成長（CVD）法により0.1～0.2μmの多結晶シリコン11を堆積する。続いて多結晶シリコン11にN型不純物である砒素（As）をイオン注入した後、パターニングされたフォトレジストをマスクとして所定領域に前記多結晶シリコン11を除去する。

【0034】続いて図2（f）に示すように、層間膜としてCVD法により不純物を含まないノンドープ酸化膜とボロン及びリンを含む酸化膜（BPSG膜）を順次堆積した後、非酸化性雰囲気中で熱処理を行うことにより、BPSG膜のリフローと多結晶シリコン11からの不純物拡散によるN⁺ベース拡散層13の形成を行う。続いて、フォトレジストをマスクとして、コレクタ、ベース及びエミッタ領域の一部の層間膜12をドライエッチにより除去し、それぞれメタル配線と接続するための開口部を形成する。

【0035】最後に図2（g）に示すように、開口部にアルミ系のメタル配線14を形成することにより、本発明の縦型PNPトランジスタをNPNトランジスタと同一基板上に形成することができる。

【0036】（実施形態2）図3及び図4は、本発明の実施形態2を製造工程順に示す断面図である。図3及び図4に示した本発明の実施形態2では、本発明をより有効に活用して実施形態1の製造工程の初期段階（すなわちP型半導体基板1中にN型埋込拡散層2を形成し、続いてN型エピタキシャル成長層3を形成している工程）を、フォトレジストをマスクとして高加速エネルギーイオン注入を用いて、N型不純物を繰り返し導入することにより、1～3.0μmの接合深さを有するNウェル領域15を半導体基板1に形成している。その後、Nウェル領域15内にPウェル領域8を形成している。これにより総コストの約30%を占めているエピタキシャル成長層3の形成工程を削減することができる。さらにP型素子分離領域7は、Nウェル領域15外の基板1に形成することとなり、PN素子分離が容易となり、素子サイズの縮小を可能にすることができるという利点を有する。

【0037】

8

【発明の効果】以上説明したように本発明は、従来の縦型PNPトランジスタを形成するNPNトランジスタの基本製造工程に、N型埋込リン拡散工程、P型埋込ボロン拡散工程及びN型ベースリン拡散工程を追加する必要があったが、N型ベースリン形成工程の追加のみで製造可能なため大幅なコストダウンを実現でき、また製造TATも大幅に短くすることができる。さらに本発明では、エピタキシャル成長層を廃止して、その代りに高エネルギーイオン注入によるNウェル層を用いることにより、さらに30%前後の大幅なコストの削減を図ることができる。

【0038】また将来の超高速NPNトランジスタ開発におけるエピタキシャル層の1.5μm以下という薄膜化に対しても、電気的特性の悪化というような問題を生じることなく、十分満足できる電気的特性を確保して十分対応可能である。

【0039】また素子サイズにおいても熱処理工程に伴う不純物の再分布（横拡がり）等のためのマージンを縮小することができ、現状の約1/5の素子サイズが実現可能と考えられるため集積度の大幅な向上も期待できる。

【図面の簡単な説明】

【図1】本発明の実施形態1を製造工程順に示す断面図である。

【図2】本発明の実施形態1を製造工程順に示す断面図である。

【図3】本発明の実施形態2を製造工程順に示す断面図である。

【図4】本発明の実施形態2を製造工程順に示す断面図である。

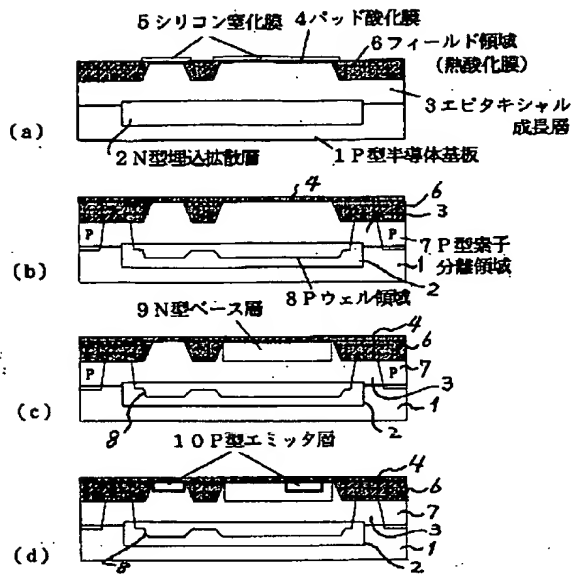
【図5】従来例を製造工程順に示す断面図である。

【図6】従来例を製造工程順に示す断面図である。

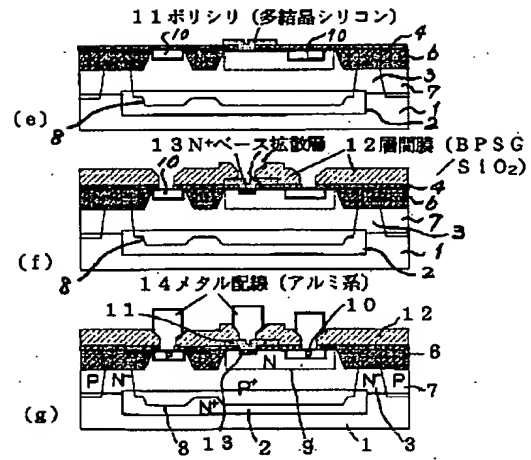
【符号の説明】

- 1 P型半導体基板
- 2 N型埋込拡散層
- 3 エピタキシャル成長層
- 4 パッド酸化膜
- 5 シリコン窒化膜
- 6 フィールド領域（熱酸化膜）
- 7 P型素子分離領域
- 8 Pウェル領域
- 9 N型ベース層
- 10 P型エミッタ層
- 11 ポリシリ（多結晶シリコン）
- 12 層間膜（BPSG/SiO₂）
- 13 N⁺ベース拡散層
- 14 メタル配線（アルミ系）
- 15 Nウェル領域
- 16 P型埋込拡散層
- 17 N型埋込拡散層

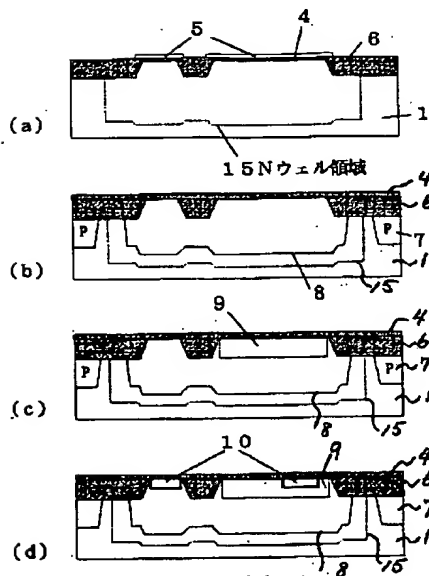
【図1】



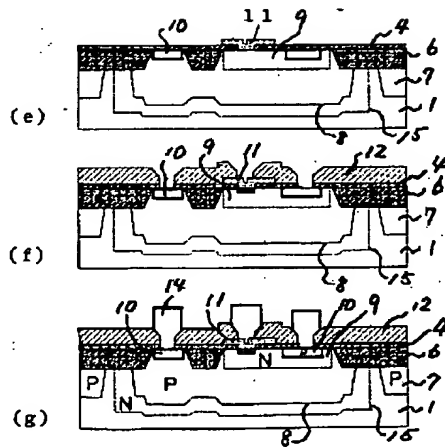
【図2】



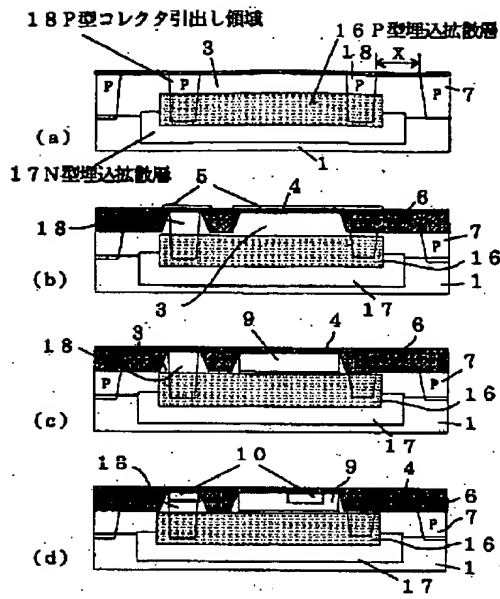
【図3】



【図4】



【図5】



【図6】

